

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL
STATUS

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243839

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/82

H01L 27/04

H01L 21/822

(21)Application number : 11-039522

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 18.02.1999

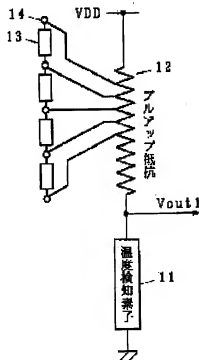
(72)Inventor : SATO KUNIHIITO
MIHARA TORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND RECORDING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a temperature sensor formed on a board to be easily corrected on characteristic variability and to accurately sense temperatures.

SOLUTION: A temperature sensor 11 and a pull-up resistor 12 are formed together on a board through a thin film process. At this point, the pull-up resistor 12 is structured so as to be changeable in resistance. For instance, one or more fuses 13 connected in parallel with the pull-up resistor 12 are provided. A large current is made to flow through the fuse 13 which is sandwiched in between the fuse pads 14 to be melted down to melt the fuse 13 down, by which the pull-up resistor 12 can be increased in resistance as a whole. The fuses 13 are melted down corresponding to the discrete variability of a temperature sensor 11 in product characteristics to regulate the pull-up resistor 12 in resistance. By this setup, the potential of a junction point of the temperature sensor 11 and the pull-up resistor 12 can be set at a certain value corresponding to a temperature.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243839

(P2000-243839A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) IntCl ⁷	識別記号	F I	テマコード(参考)
H 0 1 L	21/82	H 0 1 L	21/82
	27/04		27/04
	21/822		
			F 5 F 0 3 8
			P 5 F 0 6 4

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平11-39522

(22) 出願日 平成11年2月18日(1999.2.18)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 佐藤 邦仁

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72) 発明者 三原 徹

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(74) 代理人 100101948

弁理士 梅澤 正夫

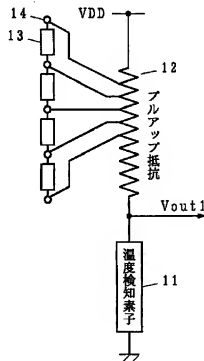
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置および記録装置

(57) 【要約】

【課題】 基板上に形成された温度検知素子のバラツキを簡単に補正でき、しかも精度よく温度検知が可能な半導体集積回路装置を提供する。

【解決手段】 基板上に、温度検知素子11とともにブルアップ抵抗12を薄膜プロセスによって形成する。このとき、ブルアップ抵抗12の抵抗値を変更可能に構成する。例えば、ブルアップ抵抗12と並列的に接続されたヒューズ13が1以上設けられている。熔断させるヒューズ13を挟むヒューズパッド14に大電流を流すことによりヒューズ13を熔断させ、ブルアップ抵抗12の全体の抵抗値を増加させることができる。温度検知素子11の製造時の個別バラツキに応じてヒューズ13を熔断させ、ブルアップ抵抗12の抵抗値を調整する。これによって、温度検知素子11とブルアップ抵抗12の接続点の電位を温度に対応した値に調整することができる。



【特許請求の範囲】

【請求項1】 基板上に温度検知素子と、該温度検知素子に接続した抵抗が薄膜プロセスで形成されており、前記温度検知素子と前記抵抗との接続点から前記基板の温度検知出力が可能な半導体集積回路装置において、前記抵抗は、抵抗値が変更可能に構成されていることを特徴とする半導体集積回路装置。

【請求項2】 前記抵抗は、前記温度検知素子のプルアップ抵抗またはプルダウン抵抗であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記基板はシリコン基板であり、前記温度検知素子は、 n - n 低濃度拡散層で形成されていることを特徴とする請求項1または請求項2に記載の半導体集積回路装置。

【請求項4】 前記基板はシリコン基板であり、前記プルアップ抵抗または前記プルダウン抵抗は、ポリシリコン層で構成されていることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体集積回路装置。

【請求項5】 前記抵抗の抵抗値は、ヒューズの選択的な切断により変更が可能であることを特徴とする請求項1ないし請求項4のいずれか1項に記載の半導体集積回路装置。

【請求項6】 前記ヒューズでバイパスする抵抗値は、最小補正刻み値より2倍以上大きいことを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 前記ヒューズは、前記基板がウェハの状態での電気的特性試験時に選択的に切断されることを特徴とする請求項5または請求項6に記載の半導体集積回路装置。

【請求項8】 請求項1ないし請求項7のいずれか1項に記載の半導体集積回路装置を有し、前記温度検知素子と同一の前記基板上に記録のための熱エネルギーを発生するための複数の発熱素子を搭載していることを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリコン基板上に温度検知素子を形成し、シリコン基板の温度検知出力を得ることのできる半導体集積回路装置、および、その半導体集積回路装置を搭載した記録装置に関するものである。

【0002】

【従来の技術】 図11は、従来の温度検知素子を搭載した半導体集積回路装置の一例の説明図である。図中、61はシリコン基板、62は温度検知素子、63はプルアップ抵抗である。シリコン基板61の温度を検知するために、シリコン基板61上に温度検知素子62を形成したものが存在する。この場合、シリコン基板61上に形成した温度検知素子62の一方を接地し、もう一方を外部に出力させる。その出力端に外部でプルアップ抵抗6

3を接続して、その接続点における電圧を例えばADコンバータなどで読み取り、温度検知結果として取り出している。これによってシリコン基板61の温度を直接測定することが可能である。しかしながら、通常、シリコン基板上に作製する温度検知素子は薄膜プロセスで作製されるため、製造工程等においてある程度の個別バラツキが発生する。そのため、この個別バラツキを補正する必要となる。

【0003】 例えば、特開平10-138482号公報では、基板上に作製した温度検知素子のバラツキ情報をヒューズROMに刻み込み、温度を読み出す時にこのROM情報によってオフセットをかけて実温度に変換する手法が提案されている。温度検知素子については n - n 拡散層で作製されている。しかしこの手法では、オフセット値を保持するためのROMを設置したり、オフセット変換のための回路が必要になるなど、シーケンスが複雑になるという問題がある。

【0004】 一方、直列にいくつもの抵抗を接続した構成において全体の抵抗値を補正するための手法として、例えば特開平10-49243号公報に記載されているように、各抵抗と並列にヒューズを設ける方法がある。抵抗と並列に設けられているヒューズが接続されている状態では、その抵抗がない状態となり、全体の抵抗値は低くなる。抵抗値を上げたい場合には、ヒューズを切断することによって抵抗が存在する状態となり、全体の抵抗値は高くなる。このようなヒューズの接続あるいは切断の状態によって、全体の抵抗値を補正することができる。

【0005】 この技術を温度検知素子に応用し、温度検知素子の部分ごとに並列にヒューズを挿入しておき、ヒューズの接続あるいは切断の状態によって、温度検知素子のバラツキを補正することが考えられる。図12は、従来の半導体集積回路装置における温度検知素子の補正方法の一例の説明図である。図中、71は温度検知素子、72は配線、73はヒューズ、74はヒューズパッドである。基板上に形成される温度検知素子71は、通常、図12(A)に示すようにある程度の幅および長さをもって作製される。ここでは長さ方向の両端に電極が取り付けられるものとする。このとき、図12(B)に示すように、温度検知素子71の幅方向に延在する配線72を温度検知素子71の長さ方向にいくつか設ける。そして、その配線72の間にヒューズ73を接続する。このように形成することによって、多数の温度検知素子と並列にヒューズ73を設けた構成となる。温度検知素子71が誤差を有している場合には、ヒューズ73の両端に設けられているヒューズパッド74から電流を流す。これによってヒューズ73が溶断し、温度検知素子71の抵抗値を高めて誤差を補正することができる。

【0006】 しかし、図12(B)に示すような構成によって個別バラツキを補正するためには、配線72の間

隔を狭めなければならないが、温度検知素子71の抵抗値が高く（例えばシート抵抗が5kΩ程度）、間隔を狭めるのも困難となる。また、温度検知素子71は高抵抗であるとともに幅が広く、配線72が形成される位置の誤差の影響を大きく受け、わずかの誤差で補正される抵抗値が大きく変動してしまう。そのため、正確な温度検知素子の補正が困難であるという問題があった。

【0007】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、基板上に形成された温度検知素子のパズルを簡単に補正でき、しかも精度よく温度検知が可能な半導体集積回路装置を提供することを目的とするものである。また、そのような半導体集積回路装置を搭載した記録装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明は、基板上に温度検知素子と、該温度検知素子に接続した抵抗が薄膜プロセスで形成されており、温度検知素子と抵抗との接続点から基板の温度検知出力が可能な半導体集積回路装置であって、抵抗の抵抗値が変更可能に構成されていることを特徴とするものである。このように、温度検知素子と同一基板上に抵抗を形成し、その抵抗に対して抵抗値の補正を行うので、外部に温度検知素子の補正回路を設ける必要がなく、簡単に正確な温度検知出力を得ることができる。すなわち、上述の特開10-138482号公報に記載されているように、温度検知素子のIDを読み出して、その値により補正値を変更するという手段が不用になる。また、温度検知素子自体に手を加えていないので、温度検知素子の温度変化率も個体によらず一定である。なお抵抗は、温度検知素子のプルアップ抵抗またはプルダウン抵抗で構成することができる。

【0009】抵抗の抵抗値を変更する方法としては、例えばヒューズの選択的な接続あるいは切断によって行うことができる。ヒューズの利用は、回路規模をあまり必要とせず、また信頼性も高いので好適である。

【0010】

【発明の実施の形態】図1は、本発明の半導体集積回路装置の第1の実施の形態における温度を検知するための回路構成の一例の説明図である。図中、11は温度検知素子、12はプルアップ抵抗、13はヒューズ、14はヒューズパッドである。この実施の形態では、例えばシリコンなどの基板上に、温度検知素子11とプルアップ抵抗12を薄膜プロセスによって形成している。ここでは、温度検知素子11の一端を接地し、他端をプルアップ抵抗12に接続している。また、プルアップ抵抗12の一端は温度検知素子11に接続され、他端例えば電源VDDに接続されている。そして、温度検知素子11とプルアップ抵抗12の接続点の電圧を外部に出力し、外部において温度検知を可能にしている。

【0011】プルアップ抵抗12は、その抵抗値が変更可能に構成されている。この例では、プルアップ抵抗12と並列的に接続されたヒューズ13が1以上設けられている。ヒューズ13が導通している状態では、そのヒューズ13が接続されているプルアップ抵抗12の区間の抵抗はキャンセルされており、プルアップ抵抗12全体としての抵抗値が低くなっている。ヒューズ13は、そのヒューズを挟むヒューズパッド14から大きな電流を流すことによって溶断させることができる。ヒューズ13が溶断した区間では、プルアップ抵抗12の抵抗が復活し、全体の抵抗値を上昇させることができる。

【0012】図2は、温度検知素子の一例を示す断面図である。21はSi基板、22はN-拡散層、23はN+拡散層、24はLOCOS、25はBPSG、26は配線、27はPSGである。温度検知素子11は、例えば図2に示すような構造のN-（型低濃度）拡散層をSi基板21内に作製して構成することができる。N-拡散層は、二重拡散構造（LDD（Lightly Doped Drain）構造）のMOSトランジスタに使用されている。N+拡散層でドレインを形成する際、ゲート近傍にN-拡散層を設け、ドレイン近傍の電界を小さくする。このような構成により、ホットエレクトロンによる閾値の電圧の変動を抑えることができ、また、ソース、ドレイン間の耐圧向上を図ることができる。

【0013】N-拡散層22は、 $2 \sim 3 \times 10^{15} / \text{cm}^2$ 程度の濃度のPイオンを約180eVで注入して拡散させて形成することができる。また、N+拡散層23は $4 \sim 5 \times 10^{17} / \text{cm}^2$ 程度の濃度のAsイオンを約400eVで注入して拡散させて形成することができる。通常のMOSトランジスタを作製する場合、ドレイン及びソースにこれと同等のN+拡散層を設けて、A1等の配線材にコンタクトを経由して接続する。図2ではN+拡散層23は、パッドからA1等の配線26で接続されている。図2を参照してわかる通り、支配的な抵抗成分は低濃度のN-拡散層22である。この部分が温度により抵抗変化を起こし、PTC（Positive Temperature Coefficient thermistor）素子となる。なお、N-層22を設けなくても、N+層23だけでも十分PTC素子として使用可能である。この場合、シート抵抗が低い関係上、レイアウト面積が大きくなる。

【0014】図2に示したN-拡散層22を用いた温度検知素子（標準品）の温度と抵抗値の関係は、温度T0（K）の時の抵抗値をR0、温度T1（K）の時の抵抗値をR1としたとき、 $R1 = R0 \times \exp(B \times (T1 - T0))$ で近似可能である。なお、直線で近似しても実質上は問題ない。図2に示すN-拡散層22の抵抗値の温度変化率は、30℃のときの抵抗値をR30とすれば、30℃→60℃で $R30 \times 0.55$ （%/℃）程度である。ちなみに、プルアップ抵抗12にポリシリコン

層を使用した場合の抵抗値の温度変化率は $30^{\circ}\text{C} \rightarrow 60^{\circ}\text{C}$ で $R30 \times 0.05 (\%/^{\circ}\text{C})$ 程度であり、N-拡散層22の1/10程度である。

【0015】N-拡散層22に限らず、Si基板上に薄膜プロセスで作製した抵抗体は、通常、ある程度のバラツキを持っており、この補正方法が課題となっている。そこでこの実施の形態では、図1に示すようにプルアップ抵抗12もシリコン基板上に作製し、このプルアップ抵抗12の抵抗値を補正して、温度検知素子11のバラツキの補正を行っている。

【0016】図3は、プルアップ抵抗12の具体例を示す平面図である。図中の符号は図1と同様である。プルアップ抵抗12は、例えばポリシリコン層によって形成することができる。ポリシリコン層は例えばMOSトランジスタのゲート電極などに利用されている。例えばプルアップ抵抗12は、シート抵抗 63.5Ω のポリシリコン層により、幅約 $5 \mu\text{m}$ 、長さ約 $1000 \mu\text{m}$ 程度のパターンとして形成することができる。もちろんこれは一つの具体例であって、他の値でもよい。また、配線パターンについても任意である。なお、図3ではプルアップ抵抗12の一部を省略している。このようにプルアップ抵抗12が一定の幅を有するように構成されていると、抵抗比はそのまま長比になり、抵抗値の調整の仕方がより簡単になる。

【0017】プルアップ抵抗12のパターン上には、所定の位置にコンタクトホールを介して、例えばA1などによる配線層が接続されている。この配線層は、ヒューズパッド14およびヒューズ13に接続されている。なお、ヒューズ13もA1によって形成することができる。図3からも分かるように、ヒューズ13の部分の配線は細く形成されており、ヒューズパッド14からの電流によって溶断可能に形成されている。ヒューズ13は、例えば、A1層の厚さ約 $1 \mu\text{m}$ 、幅約 $2 \sim 4 \mu\text{m}$ 、長さ約 $100 \sim 200 \mu\text{m}$ 程度の配線パターンとして形成することができる。

【0018】図3に示すように、プルアップ抵抗12とのコンタクト間にヒューズ13を接続する。プルアップ抵抗12の抵抗値は、これらのヒューズ13を導通させておくか、溶断させるかによって決定することができる。このプルアップ抵抗12の抵抗値は、温度検知素子11の抵抗値の製造時のバラツキに応じて行う。その調整方法について、一例を説明する。

【0019】ある温度、例えば 40°C でウェハ状態の電気特性試験を行う。このとき、温度検知素子11とプルアップ抵抗12が同じ抵抗値になるように調節する。温度検知素子11の抵抗値が例えば $10 \text{ k}\Omega$ であった場合、プルアップ抵抗も $10 \text{ k}\Omega$ になるようにするとよい。電源電圧を V_{dd} 、出力電圧を V_a としたとき、プルアップ抵抗12を $V_a / (V_{dd} - V_a) = 1$ となるように調整すれば、調整後の出力電圧 V_a は $1/2 V_{dd}$

dに等しくなる。調整は、基板がウェハの状態ときに行う電気特性試験の際に、ヒューズ13を選択的に切断することにより行えばよい。このようにしてプルアップ抵抗12の抵抗値を調整することで、温度に対する出力電圧 V_{out1} をチップによらず常に一定にすることが可能である。

【0020】使用目的の温度範囲や、温度の代表値により、ウェハ状態の電気特性試験時の温度や調節する温度検知素子とプルアップ抵抗の比を最適化することが望ましい。図1に示すような構成では、温度に対する出力電圧 V_{out1} の電位変化は $1/2 V_{dd}$ で最大になるため、上述のように所定の温度において温度検知素子11とプルアップ抵抗12の抵抗値が同じになるように調整している。

【0021】上述のことは、プルアップ抵抗12の温度変化率が温度検知素子11の温度変化率より逆の方向へ小さければ、どのような場合でも当てはまる。例えば温度検知素子11とプルアップ抵抗12の温度変化率がそれぞれ $R30 \times 0.55 (\%/^{\circ}\text{C})$ と $R30 \times 0.05 (\%/^{\circ}\text{C})$ の組み合わせや、 $R30 \times 1 (\%/^{\circ}\text{C})$ と $R30 \times (-0.5) (\%/^{\circ}\text{C})$ の組み合わせ、 $R30 \times (-1) (\%/^{\circ}\text{C})$ と $R30 \times 0.5 (\%/^{\circ}\text{C})$ の組み合わせ等、いずれの組み合わせの場合でも成立する。一方または両方が対数関数であってもよい。

【0022】ヒューズ13でプルアップ抵抗12の抵抗値を調整する際には、上述のように、切断するヒューズ13を挟むヒューズパッド14に電流を流し、ヒューズ13を溶断させる。このヒューズ切断時に、そのヒューズ13が接続されているプルアップ抵抗12の範囲の抵抗値が 100Ω 程度（温度検知素子が $10 \text{ k}\Omega$ のときの 2°C の温度変化に相当）と少ないと、プルアップ抵抗12を構成するポリシリコンまで切断される可能性がある。切断されなくても大電流密度によりポリシリコンの特性を著しく劣化させる原因にもなる。そのため、例えば 100Ω 程度など、小さい抵抗値の間隔で調整を行う場合には、例えば図3を参照しても分かるように、ヒューズ13を挿入するプルアップ抵抗12の間隔を異ならせておけばよい。そして、いずれのヒューズ13を残すかを選択することによって、小さい抵抗値の間隔で調整が可能である。

【0023】図4は、ヒューズの挿入間隔の一例の説明図である。図4に示す例では、最小の調整値を 100Ω とし、ヒューズ13を挿入したプルアップ抵抗12の部分の抵抗値の最小値を、最小の調整値の3倍の 300Ω としている。そして、最小の調整値の3、4、5、6倍の補正幅、すなわち、 300Ω 、 400Ω 、 500Ω 、 600Ω の区間に、それぞれヒューズ13を挿入している。これらを組み合わせることによって、 300Ω から 1500Ω までの13段階について 100Ω ごとの補正が可能である。すなわち、中央値を 900Ω として10

0Ωごとに±6段階の補正が可能である。

【0024】実際に各抵抗値はシート抵抗値により若干異なるが、縦横比に基づく長さの比により調節を行うことができる。例えば8μmのようにプルアップ抵抗12の配線幅が一定であり、上述のように所定の温度における温度検知素子の抵抗値が10kΩであり、プルアップ抵抗12の抵抗値を10kΩとする場合を考える。このとき、プルアップ抵抗12を構成するポリシリコンのシート抵抗に基づいた長さの比で、300、400、500、600Ωの抵抗となる位置で、例えばコンタクトホールを形成してヒューズ13と接続し、バイパスさせればよい。具体例として、プルアップ抵抗12を構成するポリシリコンのシート抵抗が約63.5Ω、幅約5μmのとき、長さが約8μmで100Ωとなる。そのため、24μm、32μm、40μm、48μmの間隔で順次コンタクトホールを介してヒューズ13と接続すればよい。

【0025】なお、温度検知素子の抵抗値や、プルアップ抵抗12を構成するポリシリコンのシート抵抗値がばらついていても、上述のようにプルアップ抵抗12の長さの比により調整を行うので、厳密に300、400、500、600Ωになっていなくても問題はない。

【0026】上述の例では、調整の間隔を100Ωとし、2℃相当の間隔を行う例を示した。例えば1℃相当(約50Ω)刻みの調整を行いたい場合には、例えば最小調整値の5倍の250Ω、6倍〜10倍の300、350、400、450、500Ωの間隔でヒューズ13を挿入することで、5〜40倍の3.6通りの調整が可能である。ここで、全体の抵抗値を増大させ、温度検知素子11の所定温度時の抵抗値を25kΩ、プルアップ抵抗12の抵抗値を25kΩとすれば、1℃相当刻みの調整抵抗値は約250Ωになるため、調整可能な温度刻みを細かくすることが可能である。しかしこの場合には、抵抗値を増大させることによってレイアウト面積が増大し、またレイアウト位置の違いによる抵抗値誤差が拡大したり、電位が安定するまでの遅延時間が增大するなど、欠点が顕在化するおそれがあるため、これらを考慮した上で設計する必要がある。

【0027】図5は、本発明の半導体集積回路装置の第2の実施の形態における温度を検知するための回路構成の一例の説明図である。図中、図1と同様の部分には同じ符号を付している。15はプルダウン抵抗である。この第2の実施の形態では、例えばシリコンなどの基板上に、温度検知素子11とプルダウン抵抗15を薄膜プロセスによって形成した例を示している。ここでは、温度検知素子11の一端を例えば電源VDDに接続し、他端をプルダウン抵抗15に接続している。また、プルダウン抵抗15の一端は温度検知素子11に接続され、他端は接地している。そして、温度検知素子11とプルダウン抵抗15の接続点の電圧を外部に出力し、外部におい

て温度検知を可能にしている。

【0028】プルダウン抵抗15は、上述の第1の実施の形態におけるプルアップ抵抗12と同様に構成することができる。この例では、プルダウン抵抗15と並列的に接続されたヒューズ13が1以上設けられており、プルダウン抵抗15の抵抗値が変更可能に構成されている。これらのプルダウン抵抗15およびヒューズ13、ヒューズパッド14などの構成は、上述の第1の実施の形態と同様に構成することができる。また、温度検知素子11についても同様であり、例えば図2に示したように構成することができる。

【0029】上述の第1および第2の実施の形態では、プルアップ抵抗12あるいはプルダウン抵抗15の抵抗値を変更するためにヒューズ13を用いた例を示した。本発明はこれに限らず、抵抗値を変更するあらゆる手段を利用することができる。例えばヒューズの代わりにスイッチングトランジスタを使用し、ON/OFF制御してもよい。この場合、スイッチングに使用するトランジスタは、ON抵抗値を例えば10Ω程度まで下げる必要があるため、レイアウト面積に余裕がある場合に適用可能である。また、トランジスタそのものをプルアップ抵抗12あるいはプルダウン抵抗15として用い、貫通電流を制御して実質的に抵抗値を制御するように構成してもよい。

【0030】また、上述の各実施の形態では、基板としてシリコン基板の例を示したが、これに限らず、半導体集積回路で用いるシリコン基板以外の基板においても同様に構成することが可能である。

【0031】図6は、本発明の半導体集積回路装置からの出力を用いたAD変換回路の一例を示すブロック図である。図中、31は半導体集積回路装置、32は分圧回路、33はスイッチング部、34はカウンタ、35は差動増幅コンパレータ、36はAND回路である。ここでは一例として、半導体集積回路装置31には図1に示したようにプルアップ抵抗12を用いた回路を示しているが、図5に示したようなプルダウン抵抗15を用いた回路であってもよい。図6では、ヒューズ13などは省略して示している。なお、半導体集積回路装置31では、既にヒューズなどによるプルアップ抵抗12の抵抗値の調整が行われているものとする。この半導体集積回路装置31に形成されたプルアップ抵抗12と温度検知素子11との接続点からの出力が、差動増幅コンパレータ35の一方の入力端に接続されている。

【0032】分圧回路32は、電源電圧を段階的に分圧し、電圧出力B1〜B16を生成し、それぞれ、スイッチング部33に入力している。この電圧出力B1〜B16の刻みが、検知可能な温度刻みに相当し、温度を検知する際の基準電位となる。一方、カウンタ34は、入力されるクロックに同期してカウントアップあるいはカウントダウンし、そのカウント値に応じて選択信号C1〜

C16のいずれかを出力する。スイッチング部33は、カウンタ34から入力される選択信号C1～C16に応じて、分圧回路32から入力される電圧出力B1～B16のうちのいずれかを選択し、差動増幅&コンパレータ35の他方の端子に出力する。これらの回路によって、差動増幅&コンパレータ35の他方の端子には、クロックに同期して異なる基準電位が供給されることになる。

【0033】差動増幅&コンパレータ35では、スイッチング部33で選択された基準電位と、半導体集積回路装置31から出力されている電圧とを比較し、比較結果をAND回路36に対して出力する。AND回路36は、クロック信号に同期して、比較結果を出力OUTとして出力する。

【0034】なお、ここでは温度検知結果として16の基準電位によって17段階の検知結果を得るものとしているが、これに限らず、基準電位の数を任意に設定することができる。

【0035】図6に示したAD変換回路の動作を簡単に説明する。プルアップ抵抗12は温度検知素子11に応じて調整されているとし、温度検知出力Aは例えば40℃で1/2VDDを出力するものとする。なお、温度検知出力Aは、温度の上昇によって電位が上昇するものとする。また、分圧回路32から出力される基準電位は、それぞれの検知すべき温度に応じた電位の出力が電圧出力B1～B16として出力される。ここでは、電圧出力B1が最も電位が高く、以下順に電位が低くなり、電圧出力B16が最も電位が低いものとする。

【0036】クロック信号が入力されると、カウンタ34がクロック信号を計数し、順次、選択信号C1～C16がカウンタ34から出力される。まず選択信号C1が出力されると、スイッチング部33は電圧出力B1を選択して差動増幅&コンパレータ35に入力する。これによって、温度検知出力Aと電圧出力B1とが比較され、比較結果が出力される。比較結果は、例えば、温度検知出力A>電圧出力Bであれば‘1’、温度検知出力A≤電圧出力Bであれば‘0’が出力されるものとする。高い電位から比較を行っているので、最初のうちは比較結果として‘0’が出力される場合が多い。

【0037】クロック信号が入力される度に、カウンタ34が計数し、選択信号C2、C3、…と順次出力される。それに応じて、スイッチング部33は選択する電圧出力がB2、B3、…と変化し、次第に基準電位が低下する。そのうちに、差動増幅&コンパレータ35からの比較結果が‘1’となる。この比較結果が‘1’となるまでに入力したクロック数nによって、温度検知出力Aが基準電位Bn～Bn+1の間にあることが分かる。このクロック数nから、対応した温度を容易に把握することができる。

【0038】なお、図6ではAD変換回路を半導体集積回路装置31とは別の回路として示したが、これらの回

路の一部あるいは全てを半導体集積回路装置31上に形成することも可能である。図6中のトランジスタは全てNチャネルトランジスタであり、温度検知素子11とともに形成可能である。もちろん、公知の技術でCMOSにより差動増幅器を構成することも可能である。

【0039】次に、本発明の半導体集積回路装置を液体噴射記録装置に適用した例を述べる。図7は、本発明の半導体集積回路装置の応用例を示す液体噴射記録装置の一例の概略構成斜視図である。図中、41は被記録媒体、42は液体噴射記録ヘッド、43はキャリッジ、44は液体カートリッジ、45はガイド軸、46はガイドレール、47はフレキシブルケーブルである。ここでは、本発明の半導体集積回路装置を、液体の噴射によって記録を行う液体噴射記録装置における液体噴射記録ヘッドとして用いた例を示している。

【0040】被記録媒体41は、例えば紙、ハガキ、布など、あらゆる記録可能な媒体で構成される。被記録媒体41は、搬送機構によって液体噴射記録ヘッド42と対向する位置に搬送される。

【0041】液体噴射記録ヘッド42には、インク等の液体を噴射させるための噴射素子が設けられており、この噴射素子によって対向する被記録媒体41へ液体を噴射し、記録を行う。液体噴射記録ヘッド42には液体カートリッジ44が装着されており、噴射する液体はこの液体カートリッジ44から供給される。この液体噴射記録ヘッド42は、本発明の半導体集積回路装置に、液体を噴射するための噴射素子と、その駆動回路などを形成したものであり、上述の第1の実施の形態あるいは第2の実施の形態で示したように、この液体噴射記録ヘッド42の温度を検知する回路が形成されている。

【0042】液体噴射記録ヘッド42および液体カートリッジ44はキャリッジ43に搭載されている。この例では、2組の液体噴射記録ヘッド42および液体カートリッジ44がキャリッジ43に搭載されている。キャリッジ43は、被記録媒体41の搬送方向と直交する方向に延在するガイド軸45およびガイドレール46に沿って滑動可能に構成されている。

【0043】矢印A方向から被記録媒体41が搬送される。液体噴射記録ヘッド42はキャリッジ43がガイド軸45およびガイドレール46に沿って滑動することによって、矢印Aの方向とはほぼ直交する方向に移動する。このとき、フレキシブルケーブル47を介して記録データや制御信号、それに電力が供給され、液体噴射記録ヘッド42に発熱素子が配列されている幅の帯状の領域に記録を行う。このような帯状領域ごとの記録動作を繰り返し行うことによって、被記録媒体41上に画像を形成する。

【0044】また、例えば図1や図5に示したような温度を検知するための回路からの出力電圧Vout1、あるいは図6に示すようなAD変換回路が搭載されている

ば出力OUTが、フレキシブルケーブル47を介して出力されている。この出力電圧Vout1あるいは出力OUTを用いて温度管理を行うことが可能である。温度管理の方法については、一例を後で述べる。

【0045】図8は、本発明の半導体集積回路装置を液体噴射記録装置に応用した場合に温度検知素子と同一の基板上に形成される回路等の一例の構成図である。図中、51は共通電極、52は発熱素子、53はドライバ素子、54はブリッド素子、55はNAND回路、56は16ビットカウンタ、57は64ビットラッチ、58は64ビットシフトレジスタである。ここでは熱エネルギーによって液体を噴射するサーマル型の液体噴射記録ヘッドの例を示している。このサーマル型の液体噴射記録ヘッドでは、噴射素子として発熱素子を用いる。なお、これらの回路は、上述の図1や図5に示した温度を検知する回路と同じ基板上に形成される。

【0046】この例では、64個の発熱素子52を搭載している。ここで、64個の発熱素子52と記述したが、厳密には64個分の発熱素子52の領域を持ったということである。つまり、発熱素子52を置く領域だけがあって実際に発熱素子52がなかったり、通常の印字には使用しない特性の異なる素子であったり、いわゆるダミー素子である場合も含んでいる。例えば、異なる色のインクを一つの基板を使用して印字を行なう場合、異なる色の境界に幾つかのダミー素子を設けることが多い。この明細書では、以上のことを踏まえて、発熱素子の配置可能な数を発熱素子数と呼んでいる。

【0047】図8では、64個の発熱素子52を4つずつ16個のブロックに分けて分割駆動する場合である。64個の発熱素子52の一端はすべて共通電極51を介して電源に接続されている。また、他端はそれぞれドライバ素子53に接続されている。ドライバ素子53は、例えばMOSトランジスタなどで構成することができ、発熱素子52を駆動する。ブリッド素子54は、対応する発熱素子52の駆動信号を昇圧してドライバ素子53の制御電極、例えばMOS-FETではゲート電極に入力する。NAND回路55には、16ビットカウンタ56からのブロック分割駆動信号の1本と、ENABLE信号と、64ビットラッチ57からのデータ信号が入力されており、対応する発熱素子52が選択され、印字すべきデータが存在し、さらにENABLE信号が入力されたとき、ブリッド素子54へ駆動信号を出力する。

【0048】16ビットカウンタ56は、クロックをカウントしてブロック分割駆動信号を発生し、各ブロックに対応するNAND回路55に入力する。64ビットラッチ57は、各発熱素子52に対応した印字データを保持する。64ビットシフトレジスタ58は、シリアル入力された印字データを順次保持し、64ビットラッチ57にパラレルに転送する。

【0049】図9は、図8に示す構成における動作の一例を示すタイミングチャートである。最初の印字を行なう前に、予め各発熱素子52に対応した64個の印字データを64ビットシフトレジスタ58にシリアルに入力する。その後、DRST信号で64ビットラッチ57をリセットし、LCLK信号により64ビットシフトレジスタ58内の全ての印字データを64ビットラッチ57に転送してラッチさせる。64ビットラッチ57は、印字データをそれぞれのNAND回路55に出力している。

【0050】16ビットカウンタ56は、BRST信号でリセットされ、BDIR信号で駆動順序が選択された後、BCLK信号をカウントしてブロック分割駆動信号を選択的に送出する。図9ではBDIR信号が‘L’で順方向印字、‘H’で逆方向印字を選択する。16ビットカウンタ56は、まず最初のBCLK信号によりブロック1に対するブロック分割駆動信号を1〜4番目のNAND回路55に対して出力する。外部よりプレパルスおよびメインパルスを有するENABLE信号が入力されると、1〜4番目のNAND回路55のうち64ビットラッチ57から印字データが出力されているものみがENABLE信号に従った駆動信号を出力し、ブリッド素子54を介してドライバ素子53が駆動される。これにより1〜4番目の発熱素子52のうち印字データが存在するものに電流が流れ、発熱素子52が発熱する。

【0051】このときの駆動方法として、単一パルスによるシングルパルス駆動、あるいは、複数のパルスによるマルチパルス駆動を行うことができる。図9では、プレパルスおよびメインパルスによるダブルパルス駆動を行うものとした例を示している。プレパルスではインクは吐出されず、発熱素子52の発熱による昇温のみが行われ、次のメインパルスで発熱素子52の発熱によってインク中に気泡が発生し、インクが吐出されて印字が行なわれる。

【0052】続いて16ビットカウンタ56は次のBCLK信号をカウントしてブロック2に対するブロック分割駆動信号を5〜8番目のNAND回路55に対して出力し、5〜8番目の発熱素子52のうち印字データの存在するものが発熱して印字が行なわれる。以下、順にブロック16まで駆動して印字を行なう。この間に、次の64個分の印字データをシリアルに64ビットシフトレジスタ58に入力する。

【0053】16個のブロックの駆動が終了すると、BRST信号により16ビットカウンタ56がリセットされ、BDIR信号により駆動方向が設定される。図9では逆方向の駆動が設定されている。また、DRST信号によって64ビットラッチ57がリセットされ、LCLK信号によって64ビットシフトレジスタ58内の印字データが64ビットラッチ57にラッチされる。以後、16番目のブロックから順に駆動され、最後に1番目の

ブロックが駆動される。これら一連の動作を繰り返し、印字を行なう。

【0054】 上述のような液体噴射記録方式では、液体の温度により液体の粘度が変化し、噴射される液滴量が異なってくる。特に上述のようなサーマル方式では、発熱素子 52 の発熱によって、記録ヘッドは高温になりやすい。そのため、何らかの手段で温度により駆動方法を変更し、一定の温度で記録が行われるように制御する必要がある。温度を制御する一つの方法として、発熱素子 52 を駆動する際に与える駆動パルスの幅を変更する
10

【0055】 図 10 は、記録ヘッドの温度と駆動パルスの関係の一例の説明図である。例えば、発熱素子に与える駆動パルスとして図 10 (B) に示すようなプレパルスおよびメインパルスを与える方法がある。プレパルスでは液体の噴射を行わず、液体を加熱する。そしてメインパルスによって、液体を噴射させる。このような駆動方式を用いる場合には、記録ヘッドの温度に従ってプレパルス幅を変化させることによって、液体の温度をほぼ一定に保つことができる。すなわち、記録ヘッドの温度
20

が低い場合には、プレパルス幅を長くして発熱量を多くし、液体の温度を上げる。また、記録ヘッドの温度が高い場合には、それほど液体の温度を上げる必要がないので、プレパルス幅を短くして発熱量を少なくする。さらに記録ヘッドの温度が高く、プレパルス幅を 0 にしても発熱量が多い場合には、メインパルスの幅を短くしている。なお、ここでは全体の駆動時間を一定にするため、プレパルスとメインパルスの間の時間も変更している。

【0056】 ここではプレパルスとメインパルスによるダブルパルス駆動の場合の例を示したが、例えばシングルパルス駆動の場合にも、同様に温度に応じてパルス幅を変更し、液滴量の制御を行うことができる。もちろん、3 以上のパルスを用いるマルチパルス駆動の場合も同様である。

【0057】 このような記録ヘッドの温度に応じた駆動制御を行うことによって、噴射される液滴量を一定に保ち、良好な画質を維持することができる。このとき、記録ヘッドの温度を精度よく測定することが必要である。本発明の半導体集積回路装置では、図 1 や図 5 に示すような温度を測定するための回路が、液体を噴射する素子
40

【0058】 もちろん本発明の半導体集積回路装置は、このような構成の液体噴射記録装置に限らず、その他の記録装置、あるいは、記録装置以外の各種の装置についても、基板の温度を測定する用途に対して応用することが可能である。

【0059】

【発明の効果】 以上の説明から明らかなように、本発明によれば、温度検知素子の個別バラツキを簡易でコンパクトな構成により補正することができる。温度検知素子の個別バラツキ自体を補正しているため、外部において ROM 等でバラツキの情報を保持する必要がなく、またオフセット補正を計算する手間も発生しない。また、温度検知素子の個別バラツキの補正を、温度検知素子ではなくブルアップ抵抗あるいはプルダウン抵抗において行っているため、正確な補正を行うことができ、信頼性も高い。従って、低コストで信頼性に優れた温度検知素子の補正を提供できるという効果がある。

【0060】 また、このような半導体集積回路装置を、熱を利用する記録装置に応用することによって、記録ヘッドの温度を一定に保ち、画質を均一に保って記録が可能な記録装置を提供することができるという効果もある。

【図面の簡単な説明】

【図 1】 本発明の半導体集積回路装置の第 1 の実施の形態における温度を検知するための回路構成の一例の説明図である。

【図 2】 温度検知素子の一例を示す断面図である。

【図 3】 ブルアップ抵抗 12 の具体例を示す平面図である。

【図 4】 ヒューズの挿入間隔の一例の説明図である。

【図 5】 本発明の半導体集積回路装置の第 2 の実施の形態における温度を検知するための回路構成の一例の説明図である。

【図 6】 本発明の半導体集積回路装置からの出力を用いた AD 変換回路の一例を示すブロック図である。

【図 7】 本発明の半導体集積回路装置の応用例を示す液体噴射記録装置の一例の概略構成斜視図である。

【図 8】 本発明の半導体集積回路装置を液体噴射記録装置に応用した場合に温度検知素子と同一の基板上に形成される回路等の一例の構成図である。

【図 9】 図 8 に示す構成における動作の一例を示すタイミングチャートである。

【図 10】 記録ヘッドの温度と駆動パルスの関係の一例の説明図である。

【図 11】 従来の温度検知素子を搭載した半導体集積回路装置の一例の説明図である。

【図 12】 従来の半導体集積回路装置における温度検知素子の補正方法の一例の説明図である。

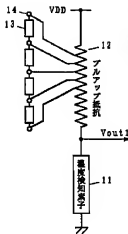
【符号の説明】

11…温度検知素子、12…ブルアップ抵抗、13…ヒ

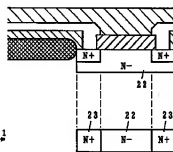
15
ユーズ、14…ヒューズパッド、15…ブルダウン抵抗、21…Si基板、22…N-拡散層、23…N+拡散層、24…LOCOS、25…BPSG、26…配線、27…PSG、31…半導体集積回路装置、32…分圧回路、33…スイッチング部、34…カウンタ、35…差動増幅&コンパレータ、36…AND回路、41…被記録媒体、42…液体噴射記録ヘッド、43…キャリッジ、44…液体カートリッジ、45…ガイド軌、4*

* 6…ガイドレール、47…フレキシブルケーブル、51…共通電極、52…発熱素子、53…ドライバ素子、54…ブリドライバ、55…NAND回路、56…16bitカウンタ、57…64bitラッチ、58…64bitシフトレジスタ、61…シリコン基板、62…温度検知素子、63…プルアップ抵抗、71…温度検知素子、72…配線、73…ヒューズ、74…ヒューズパッド。

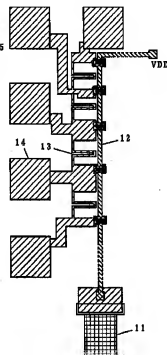
【図1】



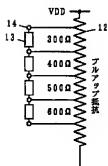
【図2】



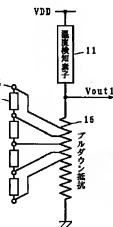
【図3】



【図4】



【図5】

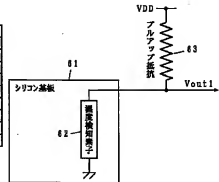


【図10】

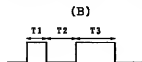
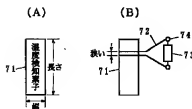
(A)

温度 (°C)	T1 (ms)	T2 (ms)	T3 (ms)
~22	0.875	4.700	2.000
22~24	0.750	4.825	2.000
24~30	0.825	5.000	2.000
30~34	0.500	5.125	2.000
34~38	0.375	5.250	2.000
38~42	0.250	5.375	2.000
42~46	0.125	5.500	2.000
46~50	0.000	5.625	2.000
50~	0.000	5.750	1.800

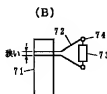
【図11】



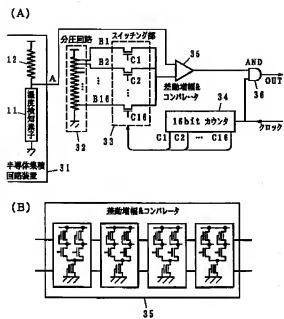
【図12】



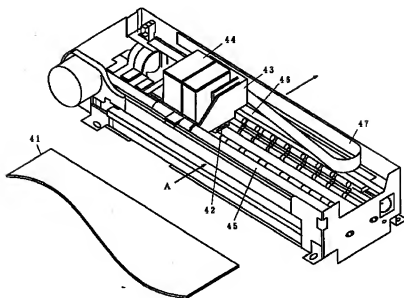
(B)



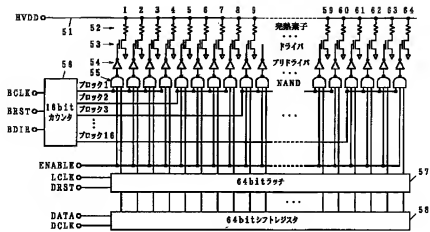
【図6】



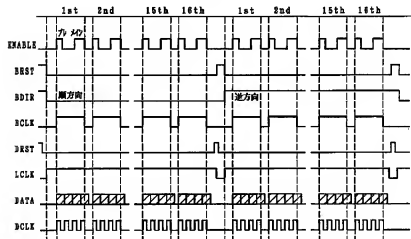
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F038 AV15 AZ08 BH02 BH19 DF01
DT12 DT18 EZ20
5F064 BB31 BB33 CC22 DD39 FF05
FF14 FF27 FF45 FF48